

Design of a Multithreading Microprocessor for High Performance Applications

The research project aims to optimize the architecture of an embedded processor by integrating a minimalist 32=2x16 SMT configuration. This innovation is designed to improve performance, power efficiency, and area (PPA), while also enhancing rapid context-switching capabilities. The primary goal is to boost performance in multithreaded processes by evaluating two parallel bare-metal tasks (e.g., Coremark) against two sequential tasks. This is in line with the goals of ISOLDE project i.e. design RISC-V based processors and accelerators for High-Performance applications.

Objectives

1. **Performance Enhancement:** Develop and analyze an SMT-based processor architecture that supports rapid context switching and maximizes throughput without significantly increasing area or power costs.
2. **Simulation and Benchmarking:** Conduct detailed simulations and benchmarks to evaluate performance in multithreaded scenarios, providing data for subsequent optimizations.
3. **Physical Implementation:** Implement a physical implementation of the processor to assess frequency, area, and power consumption, ensuring alignment with project goals.

Key Activities

- **Architecture Design:** Design a minimalist 32=2x16 SMT microarchitecture to support efficient context switching and improved parallel task performance.
- **Performance Evaluation:** Compare the throughput of parallel and sequential task execution, focusing on bare-metal workloads to measure the architecture's effectiveness.
- **Optimization:** Use simulation results and benchmark data to refine the processor design, ensuring an optimal balance of PPA metrics.
- **Prototype Development:** Implement a physical implementation to validate the architecture under real-world conditions, focusing on operational frequency, power efficiency, and area utilization.

Expected Outcomes

- A high-performance embedded processor architecture with a proven ability to handle multithreaded workloads efficiently.
- Enhanced methodologies for rapid context switching in SMT-based designs, contributing to the field of embedded processor research.
- A validated physical implementation that provides insights into power, area, and frequency trade-offs.

Progettazione di un Microprocessore Multithreading per Applicazioni ad Elevate Prestazioni

Il progetto di ricerca mira a ottimizzare l'architettura di un processore embedded integrando una configurazione minimalista $32=2 \times 16$ SMT. Questa innovazione è progettata per migliorare le prestazioni, l'efficienza energetica e l'area (PPA), oltre a potenziare le capacità di cambio di contesto rapido. L'obiettivo principale è incrementare le prestazioni nei processi multithreaded valutando due attività bare-metal in parallelo (ad esempio, Coremark) rispetto a due attività sequenziali. Questo è in linea con gli obiettivi del progetto ISOLDE, cioè quello di progettare processori basati sull'ISA RISV-V per applicazioni ad elevate prestazioni.

Obiettivi

1. **Miglioramento delle Prestazioni:** Sviluppare e analizzare un'architettura di processore basata su SMT che supporti il cambio di contesto rapido e massimizzi il throughput senza aumentare significativamente i costi in area o energia.
2. **Simulazione e Benchmarking:** Condurre simulazioni dettagliate e benchmark per valutare le prestazioni in scenari multithreaded, fornendo dati per ottimizzazioni successive.
3. **Implementazione Fisica:** Realizzare l'implementazione fisica del processore per valutare frequenza, area e consumo energetico, garantendo l'allineamento agli obiettivi del progetto.

Attività Chiave

- **Progettazione dell'Architettura:** Progettare una microarchitettura SMT minimalista $32=2 \times 16$ per supportare un cambio di contesto efficiente e migliorare le prestazioni delle attività parallele.
- **Valutazione delle Prestazioni:** Confrontare il throughput dell'esecuzione di attività parallele e sequenziali, concentrandosi sui carichi di lavoro bare-metal per misurare l'efficacia dell'architettura.
- **Ottimizzazione:** Utilizzare i risultati delle simulazioni e i dati dei benchmark per affinare la progettazione del processore, garantendo un equilibrio ottimale tra i parametri PPA.

Risultati Attesi

- Un'architettura di processore embedded ad alte prestazioni con capacità dimostrate di gestire carichi di lavoro multithreaded in modo efficiente.
- Metodologie avanzate per il cambio di contesto rapido in design basati su SMT, contribuendo al campo della ricerca sui processori embedded.
- Un'implementazione fisica validata che fornisca approfondimenti sui compromessi tra potenza, area e frequenza operativa.